

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-165670

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月11日

H 01 L 27/108

8624-4M

H 01 L 27/10

3 2 5 R

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体記憶装置とその製造方法

⑰ 特 願 平2-290844

⑱ 出 願 平2(1990)10月30日

⑲ 発 明 者 石 井 毅 昭 大分県大分市大字松岡3500番地 株式会社東芝大分工場内
⑲ 発 明 者 前 田 哲 大分県大分市大字松岡3500番地 株式会社東芝大分工場内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体記憶装置とその製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板上に形成された選択用MOSトランジスタ及び情報記憶用キャパシタとからなるメモリセルと、このメモリセルの周辺に形成されたMOSトランジスタからなる周辺回路とを具備する半導体記憶装置において、

同一のゲート電極で形成される上記選択用MOSトランジスタのゲート酸化膜と上記周辺回路のMOSトランジスタのゲート酸化膜は、それぞれの膜厚が異なることを特徴とする半導体記憶装置。

(2) 第1導電型の半導体基板上に素子分離領域を形成する工程と、

この工程の次に上記素子分離領域により規定された半導体基板上に第1の絶縁膜を形成し、この第1の絶縁膜上にキャパシタ電極を形成する工程と、

この工程の次に上記キャパシタ電極上及び予め定められた選択用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域に第2の絶縁膜を形成する工程と、

この工程の次に上記周辺回路のMOSトランジスタ領域の上記第2の絶縁膜を除去する工程と、

この工程の次に上記選択用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域に第3の絶縁膜を形成する工程と、

この工程の次に選択用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域上に同時にゲート電極を形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、半導体記憶装置とその製造方法に関する。

(従来技術)

従来、半導体記憶装置例えばダイナミックRAMに用いられている1トランジスタ型メモリセルの構造は、第3図に示すように構成され、選択用MOSトランジスタのゲート電極1は直接メモリセルのワード線を構成している。

一般に書き込み動作時には、ワード線2に $V_{cc} + 2V_{TH}$ を印加し、選択用MOSトランジスタをオン状態にし、ビット線3から“1”か“0”を書き込む。又、読み出し動作時においても、ワード線2に $V_{cc} + 2V_{TH}$ を印加し、選択用MOSトランジスタをオン状態にし、情報記憶用キャパシタ4に蓄積されている情報を読み出す。尚、ワード線2を昇圧するのは、書き込み、読み出し、読み出しマージンを上げるためであり、内部回路で発生させている。

(発明が解決しようとする課題)

ところが、上記のような従来のダイナミックRAMにおいては、以下のような問題が生じる。

即ち、選択用MOSトランジスタの V_{TH} が例え

ば1.5Vとすると、通常の動作時にはワード線2の電圧は $5V(V_{cc}) + (2 \times 1.5V) = 8V$ になり、MOSトランジスタのゲート酸化膜5が例えば200Åの場合、ゲート電極1に印加される電界は $4MV/cm$ でゲート酸化膜5の劣化、破壊は生じ難い。

しかしながら、初期不良をスクリーニングするBurn-in時には、一般的に電源電圧 V_{cc} を上げてテストするため、例えば V_{cc} が8V印加された場合、ワード線2の電圧は11Vになり、MOSトランジスタのゲート電極1には $5.5MV/cm$ の電界が印加されるため、ゲート酸化膜5の劣化、破壊が生じ、歩留まり及び信頼性の低下を招く。

これらの対策として、ワード線2に印加される電界を低くするために、ゲート酸化膜5を厚くすると、周辺のトランジスタの駆動能力が低下し、スピード等のマージンが低下する。

この発明は、上記事情に鑑みなされたもので、ワード線を昇圧しても、劣化、破壊が生じること

なく、歩留まり及び信頼性の低下を防止した半導体記憶装置とその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明は、第1導電型の半導体基板上に形成された選択用MOSトランジスタ及び情報記憶用キャパシタとからなるメモリセルと、このメモリセルの周辺に形成されたMOSトランジスタからなる周辺回路とを具備する半導体記憶装置において、同一のゲート電極で形成される上記選択用MOSトランジスタのゲート酸化膜と上記周辺回路のMOSトランジスタのゲート酸化膜は、それぞれの膜厚が異なる半導体記憶装置である。

又、この発明は、第1導電型の半導体基板上に素子分離領域を形成する工程と、この工程の次に上記素子分離領域により規定された半導体基板上に第1の絶縁膜を形成し、この第1の絶縁膜上にキャパシタ電極を形成する工程と、この工程の次に上記キャパシタ電極上及び予め定められた選択

用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域に第2の絶縁膜を形成する工程と、この工程の次に上記周辺回路のMOSトランジスタ領域の上記第2の絶縁膜を除去する工程と、この工程の次に上記選択用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域に第3の絶縁膜を形成する工程と、この工程の次に選択用MOSトランジスタ領域と周辺回路のMOSトランジスタ領域上に同時にゲート電極を形成する工程と、を具備する半導体記憶装置の製造方法である。

(作用)

この発明によれば、ワード線を昇圧しても、劣化、破壊が生じることなく、歩留まり及び信頼性の低下を未然に防止することが出来る。

(実施例)

以下、図面を参照して、この発明の一実施例を詳細に説明する。

この発明による半導体記憶装置は第1図に示すように構成され、図中の符号100は第1導電型

の半導体基板つまりP型半導体基板である。この半導体基板100上には、選択的に2個のフィールド酸化膜101が形成されている。そして、両フィールド酸化膜101の間の領域がメモリセルのトランジスタ領域となり、右側のフィールド酸化膜101と周縁部との間の領域は周辺回路のトランジスタ領域となる。

更に、左側のフィールド酸化膜101を覆って酸化膜102及びキャパシタ電極103が順次積層形成されている。又、メモリセルのトランジスタ領域と周辺回路のトランジスタ領域には、それぞれゲート酸化膜106aとゲート酸化膜106bが形成されている。この場合、ゲート酸化膜106aとゲート酸化膜106bの各膜厚が異なり、ゲート酸化膜106aの方がゲート酸化膜106bより厚い。そして、ゲート酸化膜106a上にはゲート電極107が形成され、ゲート酸化膜106b上にはゲート電極108が形成されている。

又、左側のフィールド酸化膜101とゲート酸

半導体基板100の表面に約100Åの厚さのゲート酸化膜104を形成する。続いてメモリセルのトランジスタ領域上に写真蝕刻法によりレジスト105を形成する。

次に、同図(c)に示すように、このレジスト105をマスクにして周辺のトランジスタ領域のゲート酸化膜104だけをエッチングした後、レジスト105をエッチング除去する。

次に、全面に約200Åの厚さのゲート酸化膜106を形成する。この結果、メモリセルのトランジスタ領域には約270Åの厚さのゲート酸化膜が形成され、それに対し周辺のトランジスタ領域には約200Åの厚さのゲート酸化膜が形成される。

最後に、同図(d)に示すように、ゲート酸化膜106上にメモリセル及び周辺のゲート電極107、108をそれぞれ形成する。そして、このゲート電極107、108及びキャパシタ電極103をマスクとしてN型不純物の注入を行ない、ソース領域109、110及びドレイン領域

酸化膜106aとの間の半導体基板100内、及び右側のフィールド酸化膜101とゲート酸化膜106bとの間の半導体基板100内には、それぞれソース領域109、110が形成されている。

更に、ゲート酸化膜106aと右側のフィールド酸化膜101との間の半導体基板100内、及びゲート酸化膜106bと周縁部との間の半導体基板100内には、それぞれドレイン領域111、112が形成されている。

次に、この発明の半導体記憶装置の製造方法について説明する。

まず、第2図(a)に示すように、P型半導体基板100上にフィールド酸化膜101及び約150Åの厚さの酸化膜102を選択的に順次形成する。更に、全面に磷(P)がドーブされたポリシリコン層を堆積した後、選択的にキャパシタ電極103を形成すると共に周辺及びメモリセルのトランジスタ領域のP型半導体基板100の表面を露出させる。

次に、同図(b)に示すように、露出したP型

111、112を形成し、MOSトランジスタを形成する。

尚、同図(d)は第1図と同じである。又、上記の各酸化膜は、いずれも絶縁膜である。

(変形例)

上記実施例ではキャパシタ電極上の酸化膜はゲート酸化膜を形成すると同時に形成しているが、キャパシタ電極上の酸化膜を形成する工程を別に設けても良い。

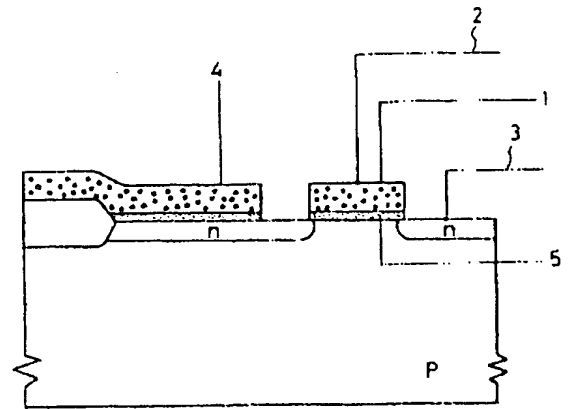
[発明の効果]

以上詳述したようにこの発明によれば、ワード線を昇圧しても、劣化、破壊が生じることなく、歩留まり及び信頼性の低下を未然に防止することが出来る。

4. 図面の簡単な説明

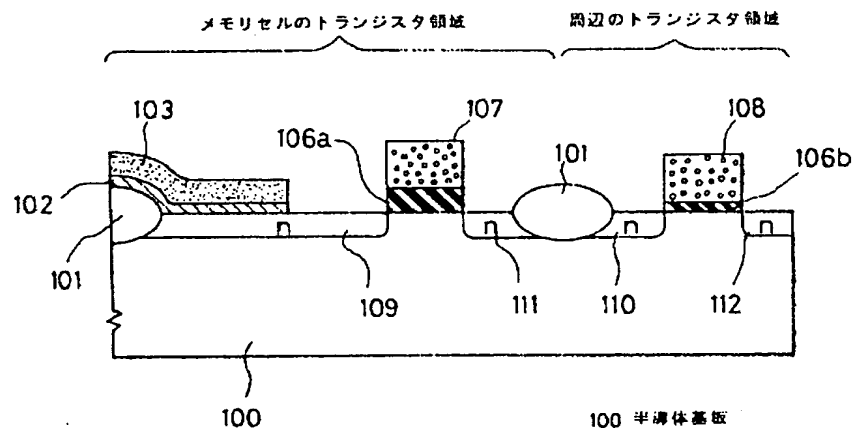
第1図はこの発明の一実施例に係る半導体記憶装置を示す断面図、第2図(a)~(d)はこの発明の半導体記憶装置の製造方法を示す工程断面図、第3図は従来の半導体記憶装置を示す断面図である。

100…P型半導体基板、101…フィールド酸化膜、102…酸化膜、103…キャパシタ電極、104、106…ゲート酸化膜、105…レジスト、107、108…ゲート電極、109、110…ソース領域、111、112…ドレイン領域。



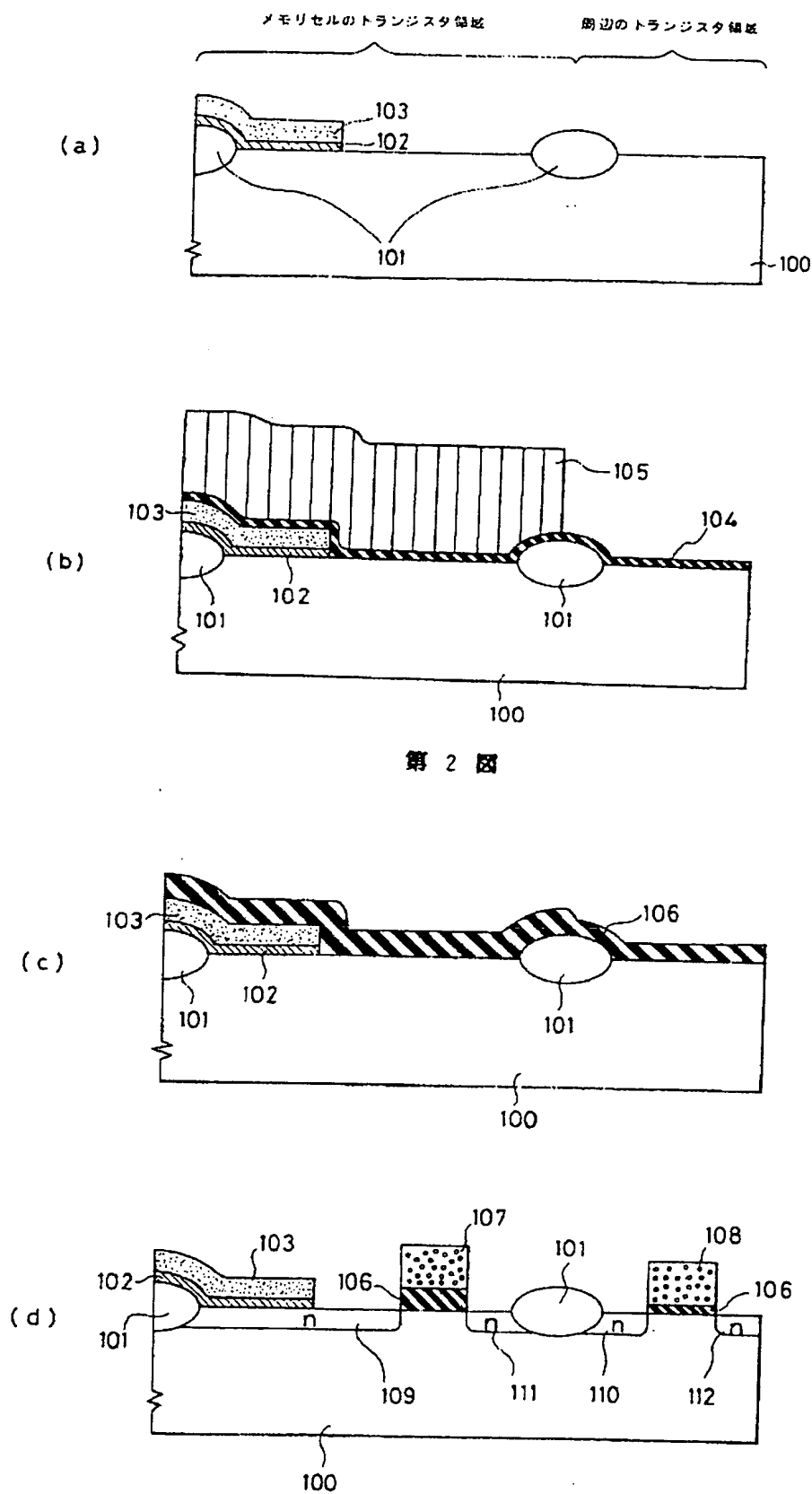
第3図

出願人代理人 弁理士 鈴江武彦



100 半導体基板
101 フィールド酸化膜
102 酸化膜
103 キャパシタ電極
106a, 106b ゲート酸化膜
107, 108 ゲート電極
109, 110 ソース領域
111, 112 ドレイン領域

第1図



第 2 図

第 2 図